

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号
特表2002-528706
(P2002-528706A)

(43)公表日 平成14年9月3日(2002.9.3)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)	
G 0 1 R	31/28	G 0 1 R	31/00	2 G 0 3 6
	31/00		31/28	H 2 G 1 3 2
	31/316			C

審査請求 未請求 予備審査請求 有 (全 44 頁)

(21)出願番号 特願2000-577498(P2000-577498)
(86)(22)出願日 平成11年10月14日(1999.10.14)
(85)翻訳文提出日 平成13年4月19日(2001.4.19)
(86)国際出願番号 PCT/US99/23954
(87)国際公開番号 WO00/23809
(87)国際公開日 平成12年4月27日(2000.4.27)
(31)優先権主張番号 09/174,866
(32)優先日 平成10年10月19日(1998.10.19)
(33)優先権主張国 米国 (US)
(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CA, JP, KR, SG

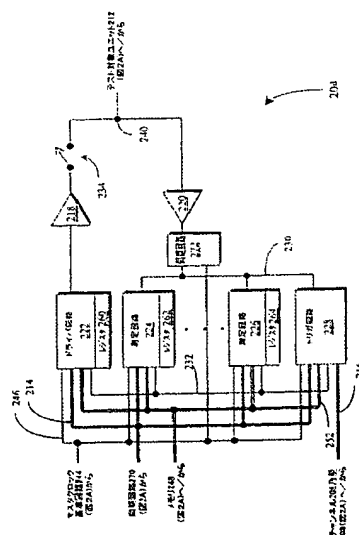
(71)出願人 テラデザイン・インコーポレーテッド
TERADYNE INCORPORATED
アメリカ合衆国マサチューセッツ州02118,
ボストン, ハリスン・アベニュー 321
(72)発明者 トゥルーベンバッハ, エリック・エル
アメリカ合衆国マサチューセッツ州01776,
サドバリー, ファイアカット・レイン 5
(72)発明者 チェン, ジャンーネン
アメリカ合衆国マサチューセッツ州02193,
ウエストン, ラドクリフ・ロード 20
(74)代理人 弁理士 社本 一夫 (外5名)

最終頁に続く

(54)【発明の名称】 集積多重チャンネルアナログテスト装置のアーキテクチャ

(57)【要約】

電子回路アセンブリの機能テストを行うアナログテスト装置アーキテクチャを開示する。アナログテスト装置は複数の同一チャンネルを含み、各チャンネルはテスト中の回路アセンブリの1つのノードにおいてテスト刺激を与え、応答を測定する回路を含んでいる。各チャンネルのドライバおよび測定回路は、個別の計器を用いるテストシステムにおいて従来実行されてきた機能を実行する。アナログテスト装置は、ドライバおよび測定回路の動作を同期させるために用いられるマスタクロック基準をさらに含んでいる。各チャンネルは、チャンネル内および他のチャンネルヘトリガイイベントを配分するトリガ回路と、チャンネル内の測定回路によって共有される入力バッファとをさらに含んでいる。同期した動作、配分されるトリガイイベント、共有される入力バッファが用いられ、機能テスト中に得られた測定値の相関関係を向上させる。



【特許請求の範囲】

【請求項1】 テスト対象ユニット（UUT）（例えば、112、212）のテストノードに接続可能な計器（例えば、104、106および108）を含み、且つホストコンピュータ（例えば、102）の制御の下で動作する上記UUTをテストする装置であって、

上記装置は複数のチャンネル（例えば、204、206および208）と、

上記複数のチャンネルの各々の上記トリガ回路および上記ホストコンピュータに連結され、上記複数のチャンネル間のテスト活動を調整する同期回路（例えば、270）と、を具備してなり、

上記各チャンネルは、UUTの異なるテストノードに接続可能な入出力端末を有し、且つ

トリガ信号の発生時にUUTにおいて異なる信号特性を測定するように各々構成配置されている複数の測定回路（例えば、224、226、228）と、

上記複数の測定回路の各々に連結され、これらにトリガ信号を供給するトリガ回路（例えば、228）とを含んでいる、装置。

【請求項2】 上記複数のチャンネルのそれぞれは、上記各チャンネルの上記入出力端末に連結される共通入力端末を有する入力バッファ（例えば、220）と、上記複数の測定回路の各々の各入力端末に連結される出力端末とをさらに具備してなる、請求項1に記載の装置。

【請求項3】 上記同期回路および上記複数のチャンネルの各々に連結され、且つこれらから得られる測定値を同期して格納する共有メモリ（例えば、248）をさらに具備する、請求項2に記載の装置。

【請求項4】 上記同期回路および上記複数のチャンネルの各々に連結される共通クロック（例えば、244）をさらに具備する、請求項3に記載の装置。

【請求項5】 各チャンネルは、

上記各チャンネルの上記トリガ回路に連結され、ここからトリガ信号を受信する少なくとも1つの駆動回路と、

上記各チャンネルの上記入出力端末に連結される共通出力端末および上記少なくとも1つの駆動回路のそれぞれの出力端末に連結された入力端末を有する出力

バッファ（例えば、218）と、をさらに含む、請求項4に記載の装置。

【請求項6】 各チャンネルは、上記出力バッファの上記出力端末と上記各チャンネルの上記入出力端末との間に連結され、且つ上記各チャンネルの上記入出力端末から上記出力バッファを選択的に接続および切断するスイッチ（例えば、234）をさらに含む、請求項5に記載の装置。

【請求項7】 上記複数のチャンネルの各々の上記共通トリガ回路に連結されるトリガバス（例えば、216）をさらに具備する、請求項5に記載の装置。

【請求項8】 各チャンネルは、上記共通クロックに連結され、上記入力バッファ（例えば、220）の上記出力端末と直列に連結され、上記入力バッファにおいて上記入力信号のデータを同期捕獲する同期回路（例えば、272）をさらに含む、請求項5に記載の装置。

【請求項9】 上記同期回路は、規則的な間隔で上記入力バッファにおいて上記入力信号を周期的に捕獲するように配列されている、請求項8に記載の装置。

【請求項10】 上記複数の測定回路はディジタイザ（例えば、326）を含む、請求項4に記載の装置。

【請求項11】 上記ディジタイザは、上記共通クロックと同期して継続的に信号をサンプリングし、得られた各サンプルに時間値を割当て、上記サンプルおよび上記時間値を上記共通メモリに格納する、請求項10に記載の装置。

【請求項12】 上記ディジタイザは上記複数の測定回路の内の他の回路の動作と同期して動作し、上記メモリは上記ホストコンピュータによってアクセス可能で、上記ディジタイザによって識別されたイベントを他の測定回路によって識別されたイベントと比較する、請求項11に記載の装置。

【請求項13】 上記複数のチャンネルは同一のアーキテクチャを有する、請求項1に記載の装置。

【請求項14】 各チャンネルは、上記出力バッファの上記出力と直列に連結され、上記出力バッファからの電流を感知するレジスタをさらに含み、上記レジスタはまた高速信号用の直列終端としても動作する、請求項5に記載の装置。

【請求項15】 上記少なくとも1つの駆動回路は関数発生器（322）を含み、且つ上記複数の測定回路はデジタルマルチメータ（324）、ディジタイ

ザ（326）、タイマ／カウンタ（336）およびピーク検出器（338）を含む、請求項5に記載の装置。

【発明の詳細な説明】**【0001】**

本発明は一般的に自動テスト装置に関し、さらに詳しくは、アナログおよび混合信号の電子回路アッセンブリをテストするテスト装置のアーキテクチャに関する。

【0002】

電子回路アッセンブリはこれらの製造過程において通常少なくとも一度はテストされる。テストの1つのタイプは機能テストとして一般的に知られており、この機能テストは通常、テスト対象ユニット（Unit Under Test）（UUT）がその最終動作環境において適正（正常）に動作することができるか否かを判断するために用いられるものである。この目的のために、機能テストは、UUTにテスト刺激を与え、UUTによって発生された応答を観測し、次に観測された応答が正常に動作するUUTとして許容できるか否かを判断することを含んでいる。

【0003】

アナログのみ、またはアナログとデジタルの両方（即ち、混合信号）の回路を含む回路アッセンブリの機能テストは特有の問題が生ずる。その理由は、これらアッセンブリに対する与えられたテスト刺激や観測された応答が通常多くの異なる波形やレベルを含むからである。さらに、観測された応答は、通常テスト刺激に関係づけて、また時には相互に関係づけて評価されなければならない。従って、多くの場合、これら回路アッセンブリの最終動作環境に非常に類似する態様でテスト刺激を発生し且つ応答を評価することは非常に興味深いものである。

【0004】

さらに、回路アッセンブリの機能テストは通常製造環境で行われるため、回路アッセンブリを素早くテストして、その回路アッセンブリの問題を早急に突き止めることが重要であり、それによって製造コストを抑えている。

【0005】

図1は従来のテスト装置アーキテクチャ100を示しており、このアーキテクチャ100は、アナログおよび／または混合信号回路を有する電子回路アッセ

ンブリの機能テストを行うために使用することができる。アーキテクチャ100は多数の個別計器104、106および108を含み、これら計器はUUT112にテスト刺激を与え、且つUUT112によって発生された応答を観測する。

【0006】

UUT112はアナログまたは混合信号回路を含んでもよいので、計器104、106および108はアナログおよびデジタル両方の計器を含んでもよい。例えば、アナログ計器は、正弦波形、三角波形または方形波形のような任意の波形または標準波形を発生する関数発生器；UUT112によって生成されるレベルを測定するマルチメータ；UUT112によって生成される波形をサンプリングし、その後の分析用にサンプルをメモリ（図示せず）に格納する波形ディジタイザ；または周波数、周期および時間間隔を測定するタイマ／カウンタを含んでもよい。

【0007】

さらに、デジタル計器はデジタル信号をドライブ（駆動）し、UUT112の論理状態を感知し、UUT112によって生成されたデジタル信号の一定のパラメータを測定するデバイスを含んでもよい。例えば、デジタル計器の1つは特定の時点でのデジタル信号の論理レベルを測定するために用いることができる。

【0008】

計器104、106および108はホストコンピュータ102によって制御され、このホストコンピュータ102はバス114を介して計器104、106および108と通信する。計器104、106および108もまた通常はバス116に接続され、このバス116は上記計器間においてトリガ信号を搬送する。典型的なテスト構造において、バス114および116はHP-IB（IEEE-488）またはVXIバス（IEEE-1155）のような標準インターフェースとコンパチブルである（互換性がある）。従って、ホストコンピュータ102は、バス114および116によって搬送された制御信号とトリガ信号を特定することによって、計器104、106および108の動作と同期し且つこの動作を制御するようにプログラムすることができる。

【0009】

上述のように、機能テストはUUTにテスト刺激を与えること、およびUUTによって発生される応答を観測することを含む。この理由のため、代表的なアーキテクチャ100もまたスイッチマトリクス110を含み、このスイッチマトリクス100もバス114を介してホストコンピュータ102によって制御される。上記スイッチマトリクス110は、通常UUT112の選択されたノードに計器104、106および108を接続するように制御されるリレー（継電器）を含む。機能テスト中に選択されるノードは、通常UUTの最終動作環境において用いられるこれらのノードである。

【0010】

例えば、計器104、106および108の1つ以上は、テスト信号を上記ノードに印加するためにUUT112のノードに接続することができる。さらに、UUT112の他のノードでの応答信号は、計器104、106および108の1つ以上によって測定することができる。従って、ホストコンピュータ102はスイッチマトリクス110内の継電器を作動させるようにプログラムしてもよく、これによりテスト中に計器104、106および108とUUT112のノードとの間で必要な接続を確立する。

【0011】

アナログおよびデジタルの両計器がスイッチマトリクスを介してUUTに接続されているアーキテクチャ100の例が、米国カリフォルニア州Walnut CreekのTERADYNE（登録商標）社に付与された米国特許4、070、565に示されている。ドライバ計器がUUTに直接接続されると共に測定計器がスイッチマトリクスを介してUUTに接続されているテスト装置アーキテクチャの別の例が、またTERADYNE（登録商標）社に付与された米国特許4、216、539に示されている。

【0012】

テスト装置アーキテクチャ100は、電子回路アセンブリの機能テストを行うために用いられてきたが、幾つかの欠点が認められている。例えば、上述したように、機能テストは通常UUTがその最終動作環境において正常に動作する

かを判断するために用いられる。このことは一般的に、アーキテクチャ100がUUTの動作環境にできる限り類似するようにシミュレートしなければならない、このシミュレートされた環境においてUUTの性能を正確に評価しなければならない、ということを意味する。しかし、従来のアーキテクチャ100は個別の計器104、106および108の集合に基づいており、多くの場合、要求に応じた動作環境をシミュレートすることができない。

【0013】

例えば、UUTのノードにおいて信号を評価するために多数の測定が必要な場合、ホストコンピュータ102はスイッチマトリクス110を制御し、多数の測定計器を上記ノードに接続する。しかし、この場合、ノードが正常な動作中に通常起こらない望ましくない負荷条件下にさらされる恐れがある。

【0014】

多数の測定計器をノードに接続することが望ましくない負荷条件を引起こさなかったとしても、依然として測定の精度は影響されると思われる。特に、異なる測定計器は異なる入力コンフィギュレーション（構成）を有し、各々固有の遅延特性を有している。これらの遅延は未知であり且つ異なり、従来のアーキテクチャ100では対処できず、さらに測定の精度を低下させる。

【0015】

単一のノードに多数の測定計器を接続する代わりに、ホストコンピュータ102がスイッチマトリクス110を制御し、上記測定計器をノードに逐次接続することもできる。この方法は望ましくない負荷条件を回避できるかも知れないが、通常ノードにおける多数の測定を異なった時点で行う必要がある。このために、ノードにおける測定を同時に行うことができず、いかに正確で反復性があっても1つの測定値を別の測定値に関連づけて分析することは非常に困難である。

【0016】

従来のアーキテクチャ100の他の欠点は、一般的に非同期であるということである。これもまた、アーキテクチャ100が個別の計器104、106および108の集合によって構成されるためである。計器104、106および108はトリガバス116に接続され、そのため同じトリガイイベントに応答すること

はできるが、計器104、106および108は通常同じクロック基準に従って動作するわけではない。このため、上記計器が実際トリガイイベントに応答する時を予測することは非常に困難である。その結果、異なる計器による測定値間の良好な相関関係を達成することが困難になる。

【0017】

さらに、個別計器104、106および108の集合に基づくアーキテクチャを有することのもうひとつの欠点は、多くの場合複数の機能のを複製（重複）することであり、そのためコストが上昇し且つスペースが要求されることである。例えば、計器104、106および108の各々は、通常信号調節、回路保護および機能分類を行うそれ自身の入力部を有している。しかし、多くの場合、この機能を複製しなければならないことは、計器104、106および108を用いてUUTの単一のノードで測定する場合に特に明らかである。

【0018】

さらにもう1つの欠点は、通常テスト装置100とUUTとの間に特注のケーブルが要求されることである。一般に特注のハードウェアには多大な費用がかかる。さらに、スイッチマトリクス110は通常継電器と共に使用され、これのよりコストがかかるだけでなく、多くの場合信頼性を失うことになる。

【0019】

従って、アナログおよび混合信号電子回路アッセンブリの最終動作環境をよくシミュレートすることができ、このシミュレートされた環境においてこれらの性能を正確に評価することのできるテスト装置アーキテクチャが求められている。そのようなテスト装置アーキテクチャは製造中に回路アッセンブリの機能テストを行うために有用である。多数のテスト測定値の間により良い相関関係を提供するアナログテスト装置が高く望まれている。

発明の概要

上記背景を考慮し、本発明の目的は、より高度な精度および反復性（再現性）をもってアナログおよび混合信号の電子回路アッセンブリのテストを行うことができるテスト装置を提供することである。

【0020】

本発明のもう1つの目的は、テスト測定値の間のより良い相関関係を達成することができるアナログテスト装置を提供することである。

さらに、本発明のもう1つの目的は、よりコストの低い信頼性のあるアナログテスト装置を提供することである。

【0021】

上記および他の目的は複数のチャンネルを有するアナログテスト装置において達成され、各チャンネルはテスト対象ユニットのノードに連結され、また各チャンネルは複数のドライバおよび測定回路を含んでいる。好ましい具体例において、各チャンネルは、テスト対象ユニットのノードにおいてテスト刺激を与える出力バッファに連結される駆動回路を含み、また各チャンネルはテスト対象ユニットのノードにおいて供給される信号のパラメータを測定する共有入力バッファに連結される複数の測定回路を含んでいる。

【0022】

本発明の1つの特徴によれば、各チャンネルはドライバおよび測定回路に連結され、共有タイミングイベントをドライバおよび測定回路並びに複数のチャンネルに供給するトリガ回路をさらに含んでいる。

【0023】

もう1つの実施例において、アナログテスト装置は、各チャンネルに連結され、チャンネルの入力、出力および内部動作を同期させるマスタクロック基準回路を含んでいる。

【0024】

もう1つの具体例において、テスト刺激がアナログ回路のノードの一部に加えられ、アナログ回路によって発生される応答はノードの別の部分で測定される。さらに、その応答はチャンネルのそれぞれにおいてディジタル化によってサンプリングされる。そしてサンプリングされた応答は、アナログテスト装置内に含まれるメモリに格納される。応答測定値の1つがテストの失敗を示す場合、格納されたサンプルが分析され、故障の原因を判断する。

【0025】

もう1つの実施例において、トリガイイベントがチャンネルの1つのトリガ回

路によって各チャンネルのドライバおよび測定回路に周期的に印加される。そしてテスト中のアナログ回路のノードにおいて、テスト刺激が自動的に加えられ、応答が自動的に観測される。周期的トリガイメントに対応する時間に、テスト刺激が加えられ、応答が観測される。次に、観測された応答が評価され、これによりテスト中のアナログ回路が正常に機能しているかを判断する。

【0026】

更なる目的と利点は、以下の記述と図面を考慮することから明らかとなるであろう。

好ましい実施例の説明

図2Aは本発明によるアナログテスト装置の全体的なアーキテクチャ200を示している。このアナログテスト装置は、主としてアナログおよび／または混合信号回路を含む電子回路アセンブリについて機能テストを行うために用いられる。

【0027】

アーキテクチャ200は、複数のチャンネル204、206および208を含み、これらチャンネルはテスト対象ユニット(UUT)212の各ノードに接続されている。アーキテクチャ200を有するアナログテスト装置は主に機能テストを行うために用いられるので、UUT212の各ノードは外部ノードであり、これらノードはUUT212の正常な動作中に用いられる。しかし、チャンネル204、206および208はUUT212の各内部ノードに接続されることもできることを理解すべきである。

【0028】

上述の実施の形態において、チャンネル204、206および208は同一である。従って、各チャンネルはUUT212の1つの外部ノードにおいて信号およびレベルを駆動および／または測定する同じ回路を含むことが好ましい。

【0029】

チャンネル204、206および208並びに共用(共有)メモリ248は、バス214および215を介し同期回路270を通してホストコンピュータ202に連結している。ホストコンピュータ202は、ウィンドウズ(R)95オ

ペレーティングシステムを有するインテル（R）のパーソナルコンピュータでもよい。インテル（R）は、米国カリフォルニア州S a n n t a C l a r aのインテル社の登録商標であり；ウィンドウズ（R）95は、米国ワシントン州R e d m o n dのマイクロソフト社の登録商標である。従って、ホストコンピュータ202は汎用コンピュータであり、オペレータインターフェース機能、数学的計算およびテスト機能のような様々な動作を行うようにプログラムすることができる。

【0030】

さらに、チャンネル204、206および208並びに共有メモリ248は、従来の方法でバス214、215を介してホストコンピュータ202と通信する。例えば、バス215は、HP-IB（IEEE-488）またはVXIバス（IEEE-1155）のような標準インターフェースと互換性がある。

【0031】

チャンネル204、206および208並びに同期回路270は、ライン246を介してマスタクロック基準回路244にも連結している。さらに、チャンネル204、206および208内の回路と同期回路270とのタイミングは、同じマスタクロック基準回路244に基づいていることが好ましい。このようにして、チャンネル204、206および208は同期して動作し、ホストコンピュータ202により生成された制御信号は、チャンネル204、206および208と同期をとることができる。

【0032】

さらに、チャンネル204、206および208はバス216に接続されており、このバス216はチャンネル間においてトリガ信号を分配する。バス216はまた本明細書において後述するように、チャンネル204、206および208を同期して動作させる役割を果たす。

【0033】

最後に、チャンネル204、206および208はバス252を介して共有メモリ248に接続されている。チャンネル204、206および208のいずれか1つが共有メモリ248にデータを書込み、または共有メモリ248からデ

ータを読み出し、この共有メモリ248はアナログテスト装置のいくつかの新たな特性を実行するのに有用である。

【0034】

図2Bは、チャンネル204のアーキテクチャを示している。上述したように、チャンネル204、206および208は同一であることが好ましく、従って同一のアーキテクチャを共有している。

【0035】

チャンネル204は、ドライバ（駆動）回路222と測定回路224および226のような複数の測定回路とを含んでいる。駆動回路222並びに測定回路224および226のそれぞれはバス214上でホストコンピュータ202により供給される制御信号に応答する従来の手段（図示せず）を含んでいる。制御手段の様々な具体例が当業者に知られているので、制御手段の特別な実施は本発明にとって重要でないことを理解すべきである。

【0036】

駆動回路222並びに測定回路224および226もまた、マルチビットレジスタ260、262および264（図2B）を含んでいることが好ましく、ホストコンピュータ202は、駆動または測定機能が開始したか；回路222、224および226がトリガ信号を待受けているか；回路222、224および226は現在駆動または測定の過程にあるか；および駆動または測定機能が終了したか、というような状況情報を判断するために上記マルチビットレジスタ260、262および264に照会することができる。これらレジスタ260、262および264は、アナログテスト装置の新規な特性を実行するのにもまた有用である。

【0037】

さらに、駆動回路222と測定回路224および226は、従来のテスト装置アーキテクチャにおける個別の計器によって通常提供される機能を実行することが好ましい。例えば、図3は関数発生器322を示しており、駆動回路222の一具体例を例示することを意図している。ホストコンピュータ202の制御の下で、関数発生器322は、UUT212の機能テストを行うのに有用な標準的

波形または任意波形を生成することが好ましい。例えば、関数発生器322は標準的正弦波、三角波または方形波形；並びに直流電圧および電流レベルを供給するように制御することができる。

【0038】

図3はまた、デジタルマルチメータ（DMM）324、ディジタイザ326、タイマ／カウンタ336およびピーク検出器338を示す。これら電子装置は、図2Bに示される複数の測定回路の具体例を例示することを意図している。例えば、DMM324はUUT212のノードにおける電圧レベルまたは電流レベルを測定するように制御してもよく；ディジタイザ326はノードにおける波形をサンプリングし、サンプルを共有メモリ248のようなメモリに格納するように制御してもよく；タイマ／カウンタ336はノードにおける周波数、周期、時間間隔の測定を行うように制御してもよく；且つピーク検出器338はUUT212のノードにおけるピーク電圧を測定するように制御してもよい。

【0039】

関数発生器322、DMM324、ディジタイザ326、タイマ／カウンタ336およびピーク検出器338は、当業者にとって公知の機能を実行する。従って、これら装置の特定の実施は、本発明にとって重要ではない。

【0040】

図2Bに示すように、チャンネル204はトリガ回路228をさらに含み、このトリガ回路228もまたホストコンピュータ202によって供給される制御信号に応答する従来手段（図示せず）を含んでいる。トリガ回路228は遅延トリガ、イベントトリガおよびエッジトリガのような従来テスト装置に見られる特徴を提示する。

【0041】

さらに、トリガ回路228により供給される信号は、ライン232を介してドライバ222および測定回路224、226により共有される。従って、ホストコンピュータ202は、回路222、224および226内のステータスレジスタ260、262および264に照会し、前記各回路がトリガ回路228からのトリガを待機しているか否かを判断することができる。図3に示される具体例

において、トリガ回路328によって供給される信号は、関数発生器322、DMM324、ディジタイザ326、タイマ／カウンタ336およびピーク検出器338によって同様に共用される。

【0042】

トリガ回路228によって生成された信号は、各チャンネル内のドライバおよび測定回路によって共用されるだけでなく、トリガバス216を介して他のチャンネルにも配信されることもできる。例えば、図2Aは、チャンネル204、206および208のそれぞれがトリガバス216にアクセスすることを示している。

【0043】

上述したように、アーキテクチャ200におけるチャンネル204、206および208のそれぞれは同一であることが好ましい。従って、チャンネル204、206および208のそれぞれは同一のトリガ回路を含んでおり、このトリガ回路はバス216を介して他のチャンネルへ、あるいは他のチャンネルからトリガ信号を配信および受信することができる。

【0044】

トリガ回路228は当業者にとって公知の機能を実行するので、トリガ回路228の特定の実施もまた本発明にとって重要ではない。しかし、本発明の重要な利点は、各チャンネル内のドライバおよび測定回路間でトリガ回路228を共有し、且つ他のチャンネルにトリガ信号を配信することから得られる。

【0045】

例えば、ホストコンピュータ202は、波形の検出後に特定の時間、「停止」トリガを放出するようにトリガ回路328をプログラミングしてもよい。また、ホストコンピュータ202は、「開始」トリガ上での波形の生成を開始し、「停止」トリガ上での波形の生成を停止するように関数発生器322をプログラミングしてもよい。次に、ホストコンピュータ202は個別のリレー（継電器）334を閉じ、トリガ回路328を制御して「開始」トリガを生成してもよい。そして、関数発生器322は波形の生成を開始し、この波形はライン330上のトリガ回路328によって検出される。また、トリガ回路328は指定された時間

量の計数を開始する。指定された時間量が経過すると、トリガ回路328は「停止」トリガを放出し、これにより関数発生器は波形の生成を停止する。各チャンネルは制御バス214とトリガバス216に連結しているため、ホストコンピュータ202は同じまたは異なったチャンネルに配置された関数発生器とトリガ回路を同様に制御、監視するようにしてよい。

【0046】

上述のように、チャンネル204、206および208は、UUT212の1つのノードにおける信号とレベルを送信および／または測定することが望ましい。そのため、各チャンネル204、206および208は、出力バッファ218と入力バッファ220を含んでいる。さらに、図2Bに示すように、各チャンネル204、206および208は好ましくは個別継電器234を含み、この個別継電器によりUUT212のノードと入力バッファ220からバッファ218の出力を選択的に接続、切断する。個別継電器234はまた、ホストコンピュータ202から供給される制御信号に応答する従来手段（図示せず）を含んでいる。

【0047】

例えば、継電器234が閉じているとき、出力バッファ218は駆動回路222によって生成されたテスト刺激をUUT212のノードに搬送することができる。同様に、継電器334が閉じているとき、図3に示す出力バッファ318は関数発生器322によって生成された波形をUUT212のノードに送信することができる。

【0048】

さらに、入力バッファ220は、送信されたテスト刺激を観測し、それをライン230上の測定回路224、226とトリガ回路228に供給する。同様に、入力バッファ320（図3）は送信されたテスト刺激を観測し、それをライン330上のDMM324、ディジタイザ326、タイマ／カウンタ336、ピーク検出器338、トリガ回路328に供給する。このようにして、例えば、テスト刺激に関するパラメータを測定回路によって測定することができ、また、テスト刺激によって指令された時にトリガ回路によってトリガ信号を生成することも

できる。

【0049】

さらに、継電器234が開いているとき、出力バッファ220はUUT212のノードにおける応答信号を観測し、それをライン230上の測定回路224、226とトリガ回路に供給することができる。同様に、入力バッファ320はUUT212のノードにおける応答信号を観測し、それを継電器334が開いているときにDMM324、ディジタイザ326、タイマ／カウンタ336、ピーク検出器338、トリガ回路328に供給することができる。このようにして、例えば、応答信号に関するパラメータを測定回路によって測定することができ、また、応答信号によって指定された時にトリガ回路によってトリガ信号を生成することもできる。

【0050】

さらに、継電器234が閉じ、チャンネル204がUUT212のノードに接続しているとき、入力バッファ220はテスト刺激とUUT212によって生成された応答信号の組み合わせを観測することができる。同様に、継電器334が閉じているとき、入力バッファ320はテスト刺激とUUT212によって生成された応答信号の組み合わせを観測することができる。テスト刺激と応答信号を正しく組み合わせるには、一般的に付加回路（図示せず）が必要である。

【0051】

特に、電流感知レジスタ（図示せず）がノード340（図3）とUUT212間に接続されてよい。そして、継電器334を閉じ、電流感知レジスタは、出力バッファ318の電流出力を測定し、出力バッファ318によって供給される電圧を電流値に変換するために用いるようにしてよい。各チャンネル204、206および208は、UUT212の1つのノードにおける信号とレベルを送信および／または測定することが望ましいので、継電器334は開いてよく、入力バッファ320とUUT212間のインピーダンスの不一致を低減するためにこの同じレジスタを使用してもよい。

【0052】

入力バッファ220、320が観測する信号とレベルは、広範囲のアナログ

レベルに与る可能性がある。このため、入力バッファ220、320は、広範囲のアナログレベルの測定を容易にする回路（図示せず）を含むことが望ましい。このような回路は、TERADYNE（登録商標）社による1998年6月24日出願の米国特許出願09/104、099号に示されており、ここではその全てを援用する。同出願においては、広範囲のアナログ電圧、電流レベルを感知し、その上、テスト対象ユニットのロード要求を満たす回路を記述している。

【0053】

上記発明においては、複数の測定回路とトリガ回路によって入力バッファ220が共有されていることを重要な特徴としている。例えば、入力バッファ220を測定回路224、226とトリガ回路間で共有することによって、回路224、26、228に連結される各々の入力バッファに要求されるスペースを節約することができる。

【0054】

さらに、測定回路224、226をライン230を介して入力バッファ220に連結することにより、テスト技師（エンジニア）が測定回路224、226による測定結果間で絶対的な相関関係を導くと予想される。これはテスト技師が回路224、226により本質的に同時に測定することができるようになるためである。例えば、テスト技師は、DMM324（図3）とタイマ／カウンタ336（図3）を用いることにより同時に測定をすることができるようになるであろう。

【0055】

測定結果間で絶対的な相関関係を導くことが電子回路アセンブリの機能テストを行う際重要であるのは、部品のノードにおける信号の1つ以上のパラメータを同時に正確に測定することができるためである。さらには、指定された時に正確にパラメータを測定することができる。これはつまり、テスト中の部品が生成する信号のパラメータを最終動作環境で現れるような状態で測定し、続いて評価することが可能であるということである。異なる装置の集まりでなる従来のアナログテスト装置では、測定結果間でこのような相関関係を導くことは事実上不可能なことである。

【0056】

上記発明のもう1つの重要な特徴は、アーキテクチャ200（図2A）が望ましくは複数の同一のチャンネルを含み、その各チャンネルは、テスト中の電子回路アセンブリの1つのノードの信号とレベルを処理する回路を含んでいることである。また、アナログテスト装置が複数の同一のチャンネルを有することで、テスト技師が測定結果間で絶対的な相関関係を導くことができると予想される。これは、同一のチャンネルが望ましくは同じ固有の伝播遅延を持つ同じ入力構成を有するためである。上述のように、従来のアナログテスト装置は一般的に異なる装置の集まりからなり、各々が異なる入力構成であるため、結果的に遅延が多くの場合未知であり一様でない。

【0057】

複数の同一のチャンネルにより得られる他の利点として、各チャンネルがバス214、216、ライン246に対して同様に接続していることである。特に、バス214、216、ライン246は標準VX1バスの一部でもよい。例えば、バス216はVX1バストリガラインを含み、ライン246はVX1バスクロックを搬送することができる。さらに、各チャンネルは、テスト中アセンブリに対し同様のインターフェースを供給する。従って、各々のチャンネルとテスト中アセンブリ間における特別注文のケーブル配線は必要ない。

【0058】

上述のように、チャンネル204、206および208の回路のタイミングは、マスタクロック基準回路244に基づいていることが望ましい。さらに、これによりテスト技師が測定結果間で絶対的な相関関係を導くことができると予想される。

【0059】

特に、図2Aに示す各チャンネル204、206および208は、ライン246を介してマスタクロック基準回路244に接続されている。従って、チャンネル204、206および208における駆動回路、測定回路およびトリガ回路は同期して動作するよう構成することが望ましい。このような同期した動作は、従来のデジタルシステムに共通して見られるが、これまでアナログテスト装置

において広く使用されてきたことがなかった。

【0060】

対照的に、ホストコンピュータ202とUUT212は一般的にそれぞれ独自のクロック基準を有しており、アナログテスト装置と、また互いに非同期で動作する。

【0061】

しかしながら、チャンネル204、206および208に適応される全ての信号とチャンネル204、206および208が生成する全ての信号は、マスタクロック基準回路244に同期していることが望ましい。これは、バス214上のホストコンピュータ202によって生成される制御信号およびUUT212に適応またはUUT212が受信する信号を含む。このような同期は、同期回路270、272（図2B）により従来の方法で可能であり、同期回路には従来のサンプリング回路やフリップフロップ（図示せず）が含まれ得る。

【0062】

特に、各チャンネルにおけるドライバ回路、測定回路、トリガ回路は、それらの内部動作を自身と同期させるマスタクロック基準回路244と連結している。さらに、同期回路270は、ホストコンピュータ202とチャンネル204、206および208および共有メモリ248間を通過する制御信号およびデータを自身と同期させるマスタクロック基準回路244と連結されている（図2A）。

【0063】

さらに、同期回路272は、入力バッファ220から測定回路224、226およびトリガ回路228へ通過する信号を同期させるマスタクロック基準回路244と、入力バッファ220と測定回路224、226およびトリガ回路228間に連結されている（図2B）。対応する同期回路が同一の回路206、208に含まれている。関数発生器322、DMM324、ディジタイザ326、タイマ／カウンタ336、ピーク検出器338、トリガ回路328（図3）が同様にマスタクロック基準回路244およびそれらの入出力（I/O）と内部動作をクロック基準回路244と同期させる同期回路372と連結されている。

【0064】

さらにこれによって、いつ単一のチャンネルまたは複数のチャンネルを用いて測定を行うかを正確に判断することができるため、テスト技師が測定結果間の絶対的な相関関係を導くことができる。

【0065】

アーキテクチャ200の同期設計によって得られる別の利点として、共有メモリ248へのデータの格納および共有メモリ248からのデータの検索を時間多重化する能力である。例えば、ホストコンピュータ202をチャンネル204、206および208のディジタル回路を制御するようプログラムし、UUT212によって生成された信号をサンプリングし、正確に指定された時にサンプリングされたデータを共有メモリ248に格納するようにすればよい。チャンネル204、206および208は同期してデータをサンプリングするため、そのデータは共有メモリ248に書き込まれる際確実に安定するようにされている。同様に、ホストコンピュータ202はチャンネル204、206および208の関数発生器を制御して、正確に指定された時に共有メモリ248からデータを検索するようにしてもよい。

【0066】

さらに、トリガ信号はチャンネル204、206および208間に同時に配信される。例えば、ホストコンピュータ202はチャンネル204のトリガ回路228を制御して、トリガイイベントを検出し、そのトリガイイベントをバス216を用いてチャンネル206、208に送信してもよい。アーキテクチャ200は同期設計となっているため、チャンネル206、208を同時にトリガイイベントに応答するよう制御することができる。従って、チャンネル204、206および208間で配信されるトリガイイベントへの応答は予測可能であり、安定している。

【0067】

さらに、アーキテクチャ200は同期設計となっているため、ホストコンピュータ202はチャンネル204、206および208の関数発生器を制御して、位相同期した波形を生成することができる。つまり、その波形はマスタクロック

ク基準回路244によって供給される周波数に同調した関係となっている。結果的に、波形間において位相ドリフトが起こらなくなると予想される。さらにこれによって、予言可能な安定したアナログテスト装置の動作につながる。

【0068】

上述のように、アーキテクチャ200の同期設計によってテスト技師が測定結果間の絶対的な相関関係を導くことができる。例えば、ホストコンピュータ202はトリガ回路328（図3）を制御して、UUT212のノードにおいて供給されるパルスの上昇および下降エッジと一致するトリガを生成し、そのトリガ信号を内部ライン232とバス216の両方に配置する。タイマ／カウンタ336はライン232上のトリガを用いてパルス幅を測定するよう制御してもよい。

【0069】

さらに、別のチャンネルのタイマ／カウンタをバス216のトリガを用いて波形の周期を観測するよう制御してもよい。観測したパルスの幅と周期を用いて、ホストコンピュータ202がパルスのデューティサイクルを算出するようプログラムしてもよい。デジタルパルスの幅と周期は、同じトリガ信号を用いて同時に測定されるため、2つの測定結果間における絶対的な相関関係が成り立つ。このようにして測定を行うことにより従来技術よりも正確さと反復性が増すと予想される。

【0070】

さらに、チャンネル204、206および208の関数発生器によって生成される波形は全てマスタクロック基準回路244と同期して、またホストコンピュータ202からの制御信号も制御回路270によってマスタクロック基準回路244と同期しているため、ホストコンピュータ202は安定した、予測可能な方法で波形特性を制御できる。例えば、ホストコンピュータ202は関数発生器322（図3）を制御して、所定のピーク電圧の振幅で正弦波を生成してもよい。また、ホストコンピュータ202は、関数発生器322を制御して、正弦波のピーク電圧の振幅を変化させてもよい。正弦波のピーク電圧の振幅はマスタクロック基準回路244と同期して制御されるため、また電圧の振幅を変化させるホストコンピュータ202からの指示も、マスタクロック基準回路244と同期し

ているため、正弦波の振幅はスムーズに更新され、これにより、確実に出力状態を常時知ることができる。

【0071】

さらに、アーキテクチャ200は同期設計となっているため、機能322、324、326、328、336、および／または338（図3）はデジタル回路を用いて実行してもよい。上述のように、本発明の目的は、低コストのアナログテスト装置を提供することである。デジタル回路は多くの場合、同等のアナログ回路よりも低価格であるため、アナログテスト装置の価格を低減させる方法の1つは可能な限りデジタル回路を使用することである。

【0072】

例えば、各チャンネル204、206および208のトリガ回路は、その入力に対し周波数のフィルタリングを行うことが望ましい。トリガ回路はその入力をマスタクロック基準回路244と同期させるため、上記のような周波数のフィルタリングは標準的なゲートアレーで経済的に使用し得るデジタルカウンタ（図示せず）を用いて行うようにすればよい。

【0073】

上述のように、バス214、216およびライン246は、標準VXIバスの一部となつてよい。この場合、アナログテスト装置のマスタクロック基準回路244は、VXIバスクロックの位相を保持する従来の回路（図示せず）を含んでもよく、これは一般的にVXIバックプレーン上の正確位相クロックである。

【0074】

さらに、多重アナログテスト装置は同様にVXIバスクロックから生じた各々のマスタクロック基準回路とともに、バックプレーンに接続するようにしてもよい。アナログテスト装置におけるチャンネルのタイミングは、同じVXIバスクロックから同様に生じた各々のマスタクロック基準回路と同期しているため、多重アナログテスト装置の入力、出力、トリガ信号は同期している。全アナログテスト装置の出力も同相になる。従って、アーキテクチャ200の同期設計による全ての利点は、VXIバックプレーンに接続される多重アナログテスト装置に適用できるものである。

【0075】

上述したように、本発明の重要な特徴は、アーキテクチャ200の同期設計つまり、共有メモリ248、同一のチャンネル204、206および208、および各チャンネル204、206および208の共有トリガ回路である。これらの特徴は、図4に示すようなテスト方法を実行するために用いることができる。このテスト方法は、ホストコンピュータ202にプログラムされたソフトウェアの制御により実行されるものである。

【0076】

まず、ホストコンピュータ202は、ブロック400の各チャンネルのディジタイザを各チャンネルのソースまたは測定機能が開始された時は必ずデータサンプルを獲得するようにプログラムする。例えば、ディジタイザは、チャンネル204、206（図2A）に含まれるディジタイザでよい。さらに、ディジタイザは各ライン230（図2B）上で現れ得るデータサンプルを獲得するようプログラムするようにしてもよい。また、ディジタイザはこれらのサンプルを共有メモリ248（図2A）選択領域に格納するようプログラムすることが望ましい。

【0077】

次に、UUT212等のUUTのテストをブロック402において開始する。このテストは通常機能テストであり、UUT212にテスト刺激を与え、UUT212による応答を観測するものである。例えば、チャンネル304の継電器318（図3）が閉じられ、関数発生器332を制御して正弦波を出力バッファ318を介してUUT212の外部ノードに適用するようにしてもよい。応答信号はチャンネル206の共有入力バッファによって測定されるようにしてもよく、この共有入力バッファによりDMM、タイマ／カウンタ、ピーク検出器、等の対応する測定回路およびトリガ回路に上記応答信号を適用する。また、チャンネル206のトリガ回路は対応する測定回路にトリガを送出するようにしてもよい。トリガは測定された応答信号のエッジと一致するようにしてもよい。次に、対応する測定回路は、トリガによって指定された時間に応答信号の測定を行うことができる。

【0078】

このテストが行われている間、チャンネル204、206のディジタイザは各ライン230に現れる信号および／またはレベルの全てを継続的にサンプリングし、そのサンプルをメモリ248に格納する。格納されるサンプルには、チャンネル204の関数発生器によってUUT212に適用される正弦波のサンプルが含まれる。さらに、格納されるサンプルには、チャンネル206の入力バッファによって測定される応答信号のサンプルが含まれる。

【0079】

好ましい実施の形態においては、ディジタイザがテスト中に起こる特定のイベントの標識をメモリ248に格納する。このような標識は一般に「マーカ」として知られている。例えば、ディジタイザ326（図3）はライン232と連結しており、これによってトリガ回路328が生成したトリガが搬送される。ディジタイザ326はトリガが発生したときに検出することができるため、トリガが現れた時に獲得したサンプルを示すマーカをメモリ248に格納する。これは、トリガ回路328とディジタイザ326の動作が同期しているために可能となる。

【0080】

さらに、ディジタイザ326は制御バス214とも連結しているため、駆動または測定機能が開始および終了したときに検出することができ、そのためこれらのイベントのマーカをメモリ248に格納することができる。

【0081】

上述のように、機能テストには通常、正常に機能するUUTとして観測された応答が許容できるものであるかを判断するステップがある。このステップは、図4に示す判断ブロック404において実行される。特に、ホストコンピュータ202が測定回路の1つによって測定された信号パラメータを予想されるパラメータ値と比較し、UUT212が正常に動作しているという比較結果であれば、テスト方法はブロック402に戻り、別のテストを開始する。

【0082】

しかし、UUT212が正常に動作していないという比較結果であれば、テスト方法はブロック406に進み、ホストコンピュータ202はメモリ248に

格納されたサンプルをアップロードする。好ましい実施の形態においては、アップロードされたサンプルにはブロック402のテスト前、テスト中、テスト後に獲得されたサンプルが含まれる。さらに、アップロードされたサンプルには格納されたマーカが含まれることが望ましい。

【0083】

アップロードされたサンプルおよびマーカはブロック408において分析され、ブロック404においてなぜUUTが正常に動作していなかったと判明したかを判断する。これは、ホストコンピュータ202に接続したモニタ（図示せず）に使いやすいフォーマットでそのサンプルを表示するようにしてよい。従って、そのサンプルは関数発生器322から供給されるテスト刺激およびUUT212によって生成された応答を再構築するために用いるようにすればよい。さらにマーカは、いつトリガが発生し、いつ測定回路が測定機能を実施したかを判断するために用いるようにすればよい。

【0084】

このテスト方法は、テスト対象ユニットの欠陥を検出修正するために用いることが期待される。ディジタイザはチャンネル204、206を含むテスト中にデータサンプルを断続的に収集するため、チャンネルの動作を完全に把握することができる。テストによりテスト対象ユニットに欠陥があると判明した場合、上記データを分析することができる。

【0085】

アーキテクチャ200のチャンネルは同一であることが望ましいので、図4に示す方法はアナログテスト装置のすべてのチャンネルで同時に実行することができる。特に、各チャンネルは各々の入力バッファで供給された信号および／またはレベルをサンプリングすることができるディジタイザを含んでいる。さらに、各ディジタイザは共有メモリ248の選択領域にサンプルと関連したマーカを格納することができる。従って、アナログテスト装置における全てのチャンネルの動作を完全に把握することができ、それをテストのデバッグに用いるようにしてもよい。

【0086】

さらに、アーキテクチャ200のチャンネルはマスタクロック基準回路244と同期して動作することが望ましい。さらに各チャンネルは、トリガバス216および制御バス214と連結している。結果的に、テスト刺激、応答、制御信号、トリガのタイミング関係は、全てのチャンネルで知ることができる。従って、アーキテクチャ200の全てのチャンネルの動作状況はデバッグ時にその正確な相関関係を求めることができる。

【0087】

これは、ホストコンピュータ202にアナログ診断ソフトウェアがプログラムされている場合特に有用なものであり、このソフトウェアは通常、テストが失敗した原因を判断するためにテスト対象ユニットにおける多くのノードのデータを必要とする。このアナログ診断ソフトウェアは、テスト対象のチャンネルに対応する共有メモリ248に格納されたデータサンプルおよびマーカに単にアクセスし、続いて分析することができる。各チャンネルのディジタイザはテスト中に継続的に動作するようにさせることができるため、テストのデバッグに必要な場合、上記データサンプルおよびマーカはメモリで調達することができる。もっとも重要な点は、テストを再実行する必要がなくメモリで調達することができるということである。

【0088】

図5は、もう1つの新たなテスト方法を示す。このテストは、ホストコンピュータ202にプログラムされたソフトウェアの制御の下で実行されるものである。

【0089】

まず、ブロック500において既知の、欠陥がない回路アセンブリを取得する。アナログテスト装置は主として機能テストを行うために用いられるため、既知の欠陥がないアセンブリの外部ノードはアナログテスト装置のチャンネルに接続される。しかし、チャンネルが既知の欠陥がないアセンブリの内部ノードにも接続され得ることにも留意されたい。

【0090】

次に、ブロック502において周期トリガイベントをアナログテスト装置の

チャンネルに適應する（加える）。上述のように、各チャンネルのトリガ回路によって供給されるトリガイイベントは、ライン232（図2B）等のラインを介してチャンネル内のドライバおよび測定回路に共有される。さらに、アナログテスト回路中のチャンネルはチャンネル間でトリガイイベントを配信するバス216等のトリガバスに接続している。

【0091】

従って、ホストコンピュータ202は、そのチャンネルとアナログテスト装置の他のチャンネルのドライバおよび測定回路に周期的にトリガイイベントを供給する例えばチャンネル204等の1つのチャンネルのトリガ回路を制御する。さらに詳しくは、ホストコンピュータ202は1つのチャンネルのトリガ回路を制御し、定期トリガイイベントを欠陥のない回路アセンブリのノードに接続するチャンネルのドライバおよび測定回路に供給する。本発明においては、トリガイイベントをチャンネルに供給する特定の割合は重要ではないことに留意されたい。

【0092】

ブロック504において、テスト刺激が与えられ、欠陥のないアセンブリの選択されてノードにおいて応答が観測される。さらに、定期トリガイイベントが指定した時にテスト刺激が与えられ、応答が観測される。

【0093】

このテスト方法におけるこのステップの目的は、欠陥のないアセンブリに対する機能テストプログラムを手動で生成することである。この目的のため、テスト技師は1つ以上のチャンネルの関数発生器と測定回路を制御するようホストコンピュータ202を繰り返しプログラムすればよく、それによってテスト刺激を与え、欠陥のないアセンブリが生成する応答を観測する。欠陥のないアセンブリの少なくとも一部をテストするためにテスト刺激を与え、応答を観測する。このようにして、アナログテスト装置は正常に機能するアセンブリがいかに動作するかを「学習」することができる。

【0094】

次に、ブロック506において与えられたテスト刺激および観測された応答に関するデータが機能テストプログラムに保存される。このデータは、ホストコ

ンピュータ202内のメモリ（図示せず）に保存するようにすればよい。このようにして、欠陥のないアセンブリに対する機能テストプログラムは、段階的に手動で生成される。

【0095】

欠陥のないアセンブリのテストが完全に終了していない場合は、決定ブロック508はテスト方法をブロック504に戻し、アナログテスト装置は新たな刺激を与え、新たな応答を観測する。しかし、欠陥のないアセンブリのテストが完全に終了し、機能テストプログラムが完了している場合、決定ブロック508はテスト方法をブロック510に進める。

【0096】

テスト方法のブロック500乃至508は、主にアナログテスト装置の初期プログラム時に行われるものである。従って、この方法のブロック500乃至508は比較的実行されることが少ない。しかし、ブロック510乃至514は大量の回路基板アセンブリを迅速に自動的にテストする製造過程で繰り返し行われるものである。

【0097】

特に、ブロック510において典型的回路アッセンブリを取得する。この部品は、ブロック500において得た欠陥のないアセンブリと同種のものである。また、上記典型的回路アッセンブリの外部ノードはアナログテスト装置のチャンネルに接続する。

【0098】

次に、ブロック512において、周期トリガイメントがアナログテスト装置のチャンネルに適応される（加えられる）。これは、ブロック502において適応された周期トリガイメントと正確に一致することが望ましい。

【0099】

このテスト方法のステップ510乃至514の目的は、ステップ500乃至508において手動で生成された機能テストプログラムを用いて自動的に回路アッセンブリをテストすることである。このため、ブロック512において適応された周期トリガイメントに従って動作するよう制御されたドライバおよび測定回

路は、機能テストプログラムを実行するために必要なものである。

【0100】

ブロック514において、自動的に機能テストプログラムが実行される。このために、典型的回路アセンブリの様々な外部ノードにおいてテスト刺激が与えられ、応答が観測される。しかし、ホストコンピュータ202をステップ504のようにドライバおよび測定回路を制御するように繰り返しプログラムするのではなく、ホストコンピュータ202が、機能テストプログラムに従って自動的にドライバおよび測定回路を更新し、作動させる。また、ホストコンピュータ202がレジスタ260、262、263（図2B）に周期的に照会し、機能テストプログラム実行中にドライバおよび測定回路の状態を判断することが予想される。

【0101】

さらに、ブロック512において適応された周期トリガイイベントをブロック502において適応された周期トリガイイベントと一致させることにより、テスト技師がブロック504および514での測定結果間における絶対的な相関関係を導くことができると予想される。また、このように周期トリガイイベントを用いることによって上記のような測定により反復性がもたらされる。

【0102】

典型的回路アセンブリのテストが終了している場合は、テスト方法はブロック510に戻り、別の回路アセンブリのテストを開始する。従って、アナログテスト装置の同期設計および共有トリガにより手動で生成された機能テストプログラムが自動的に反復して実行される。このような特徴や能力は従来のアナログテスト装置には見られないものである。

【0103】

ここまで1つの具体例を述べたが、数多くの他の具体例または変形例が作成可能である。例えば、アナログテスト装置は主に電子回路アセンブリの機能テストを行うために用いられると述べた。しかしこれは単なる一例にすぎない。本発明によるアナログテスト装置は、アセンブリの各構成要素を個別にテストするという回路内のテストを含む他の種類のテストを行うために用いるようにしても

よい。この場合、アナログテスト装置はテスト対象ユニットの外部ノードに接続するだけでなく、各個別テスト用に異なった内部ノード部にも接続する。

【0104】

さらに、アナログテスト装置のチャンネルは同一であることが望ましいと述べた。しかしこれは単なる一例にすぎない。チャンネルは、トリガ回路および回路アセンブリのテストに有用な機能を行う複数のドライバおよび測定回路を含んでいれば、同一である必要はない。

【0105】

さらに、各チャンネルは共有メモリに接続していると述べた。しかし、各チャンネルは、ディジタル化されたデータおよび波形を生成するデータを格納するため共有メモリと共に各々のメモリを有するようにしてもよい。

【0106】

さらに、アナログテスト装置のドライバおよび測定回路の特定の具体例を述べた。例えば、ドライバの特定の具体例は関数発生器であり、測定回路の特定の具体例はマルチメータ、ディジタイザ、タイマ/カウンタ、ピーク検出器である。しかし、ドライバおよび測定回路は上記具体例に限定されるものではないことを理解されたい。ドライバおよび測定回路は電子回路アセンブリのテストに有用な他の機能を行ってもよい。

【0107】

さらに、アナログテスト装置は、HP-IB (IEEE-488) またはVXIバス (IEEE-1155) 等の標準的インターフェースを用いて使用してもよいと述べた。しかしこれは単なる一例にすぎない。アナログテスト装置は、他の標準的インターフェースあるいは非標準的インターフェースを用いて使用してもよい。

【0108】

さらに、各チャンネルは1つの駆動回路および複数の測定回路を含んでいることを述べた。しかしこれも単なる一例にすぎない。代わりに、チャンネルは複数の駆動回路およびただ1つの測定回路；複数の駆動回路および複数の測定回路；または電気回路アセンブリのテストにもっとも有用な数の駆動回路および測定回

路を含んでいてもよい。

【0109】

従って、本発明は特許請求の範囲の精神および範囲によってのみ限定されるべきである。

【図面の簡単な説明】

【図1】

従来のテストシステムアーキテクチャを示すブロック線図である。

【図2】

図2Aは、本発明によるテスト装置アーキテクチャを示す全体のブロック線図である。

図2Bは、図2Aに示すテスト装置アーキテクチャに含まれるチャンネルアーキテクチャのブロック線図である。

【図3】

図2Bに示すチャンネルアーキテクチャに基づくチャンネルの説明的な例である。

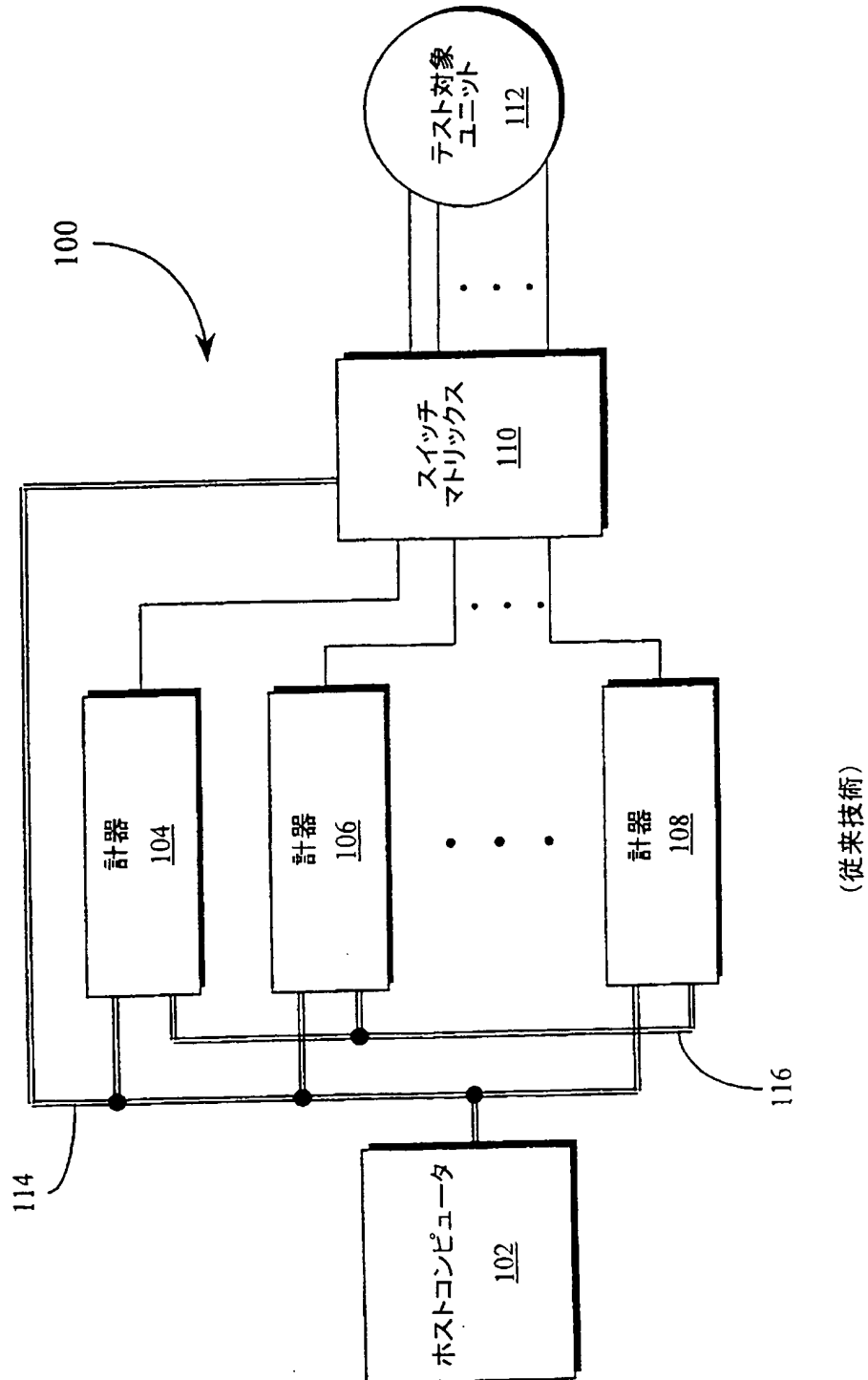
【図4】

本発明によるテスト方法を示すフローチャートである。

【図5】

本発明による別のテスト方法を示すフローチャートである。

【図1】



【図2A】

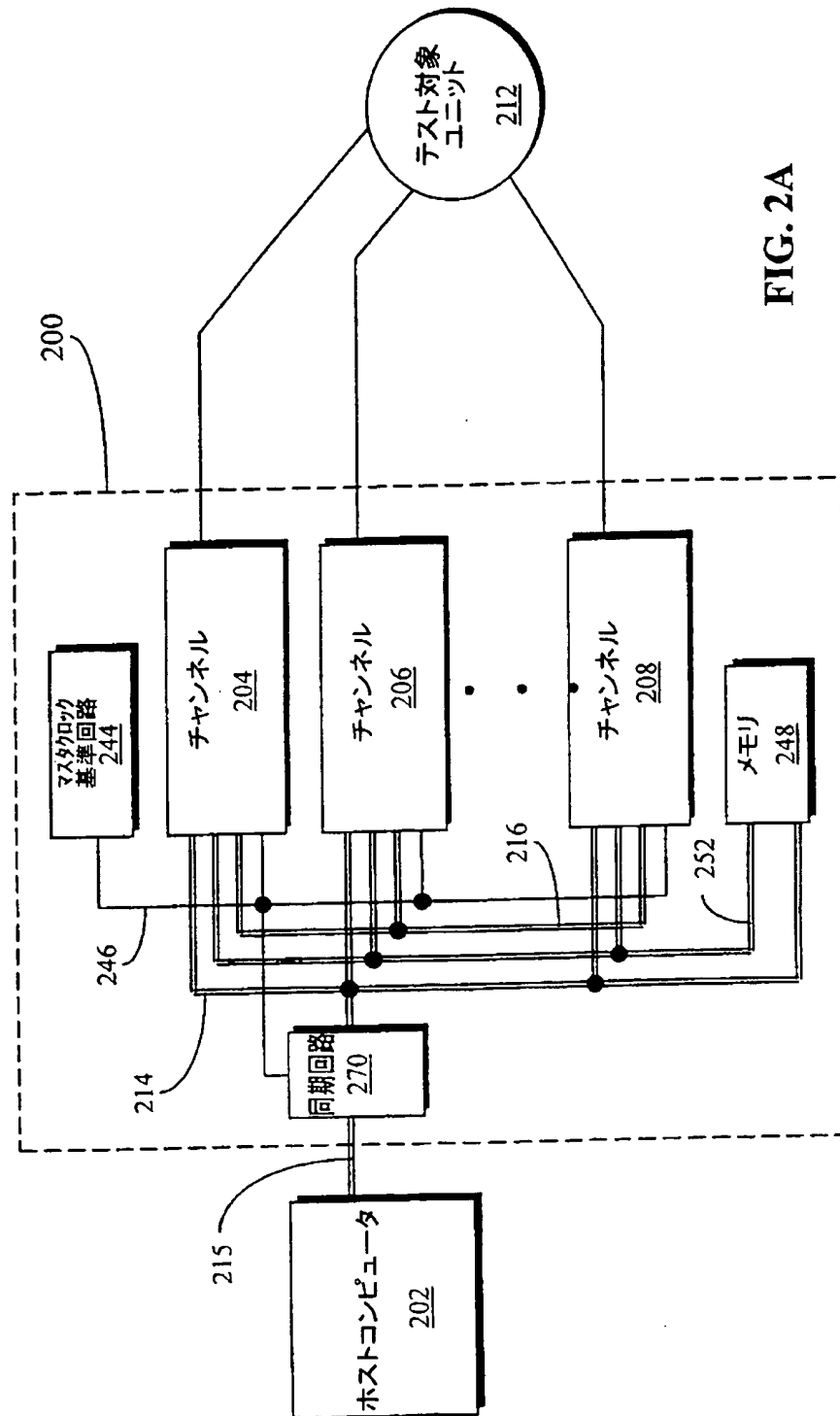
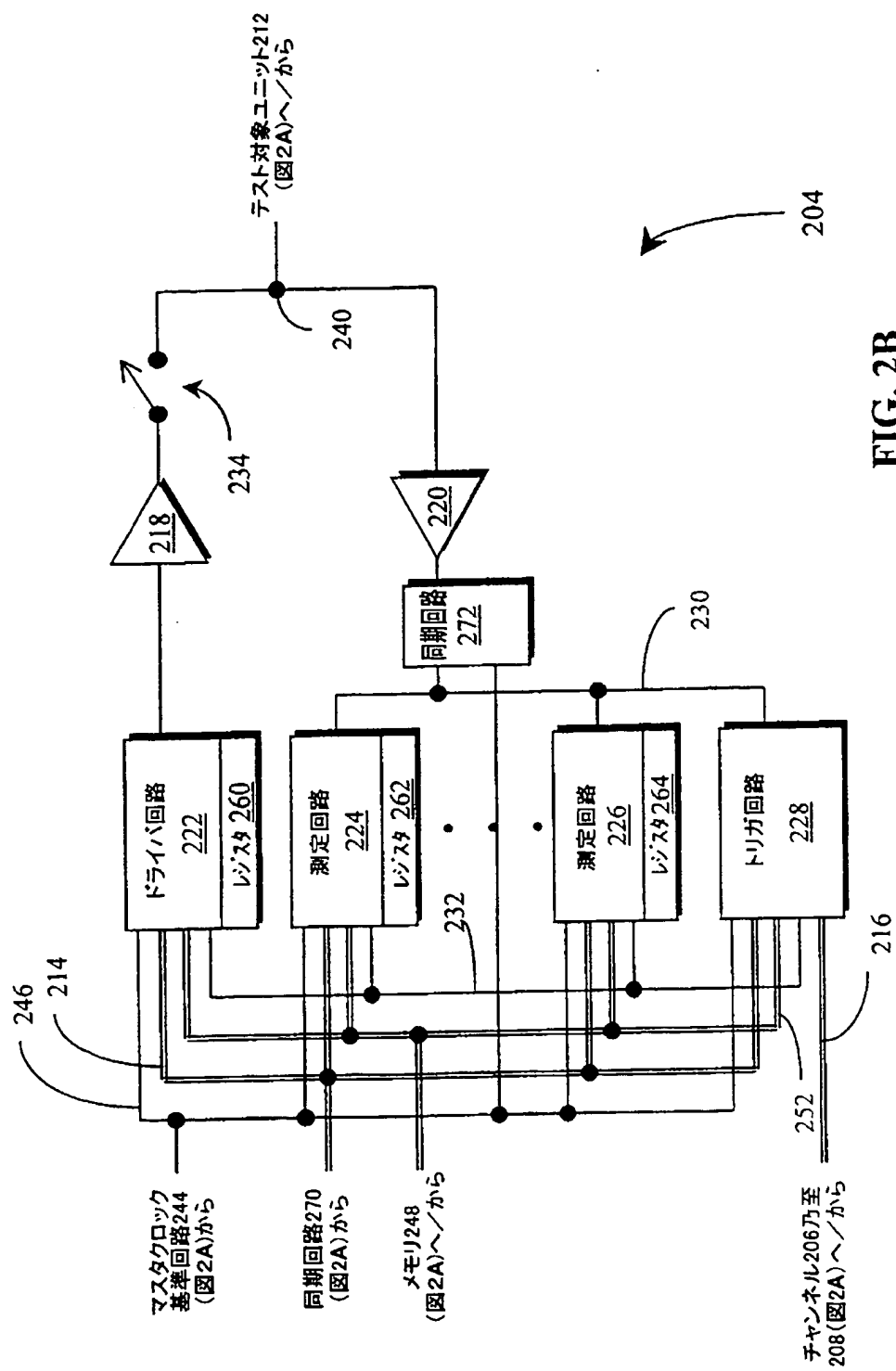
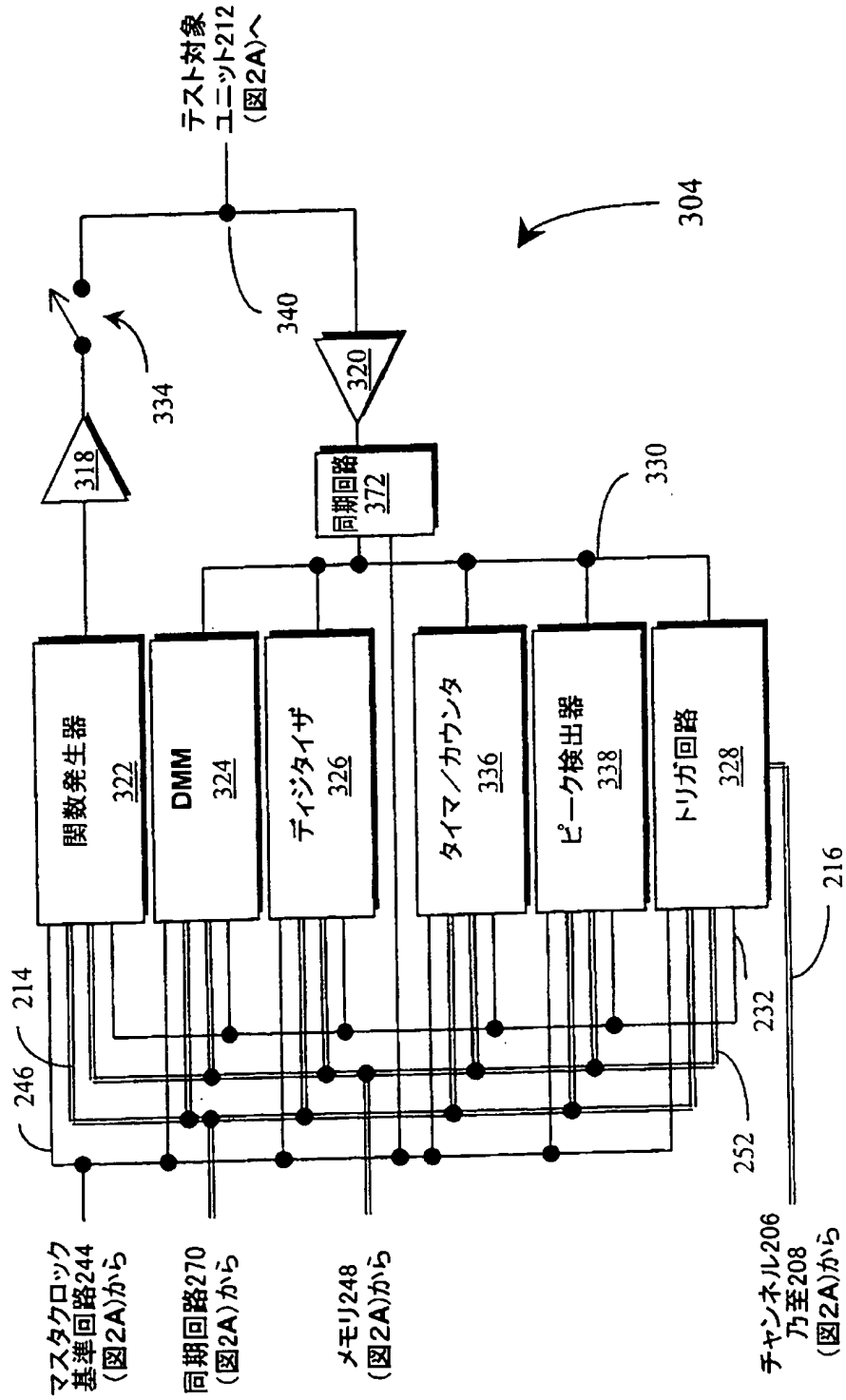


FIG. 2A

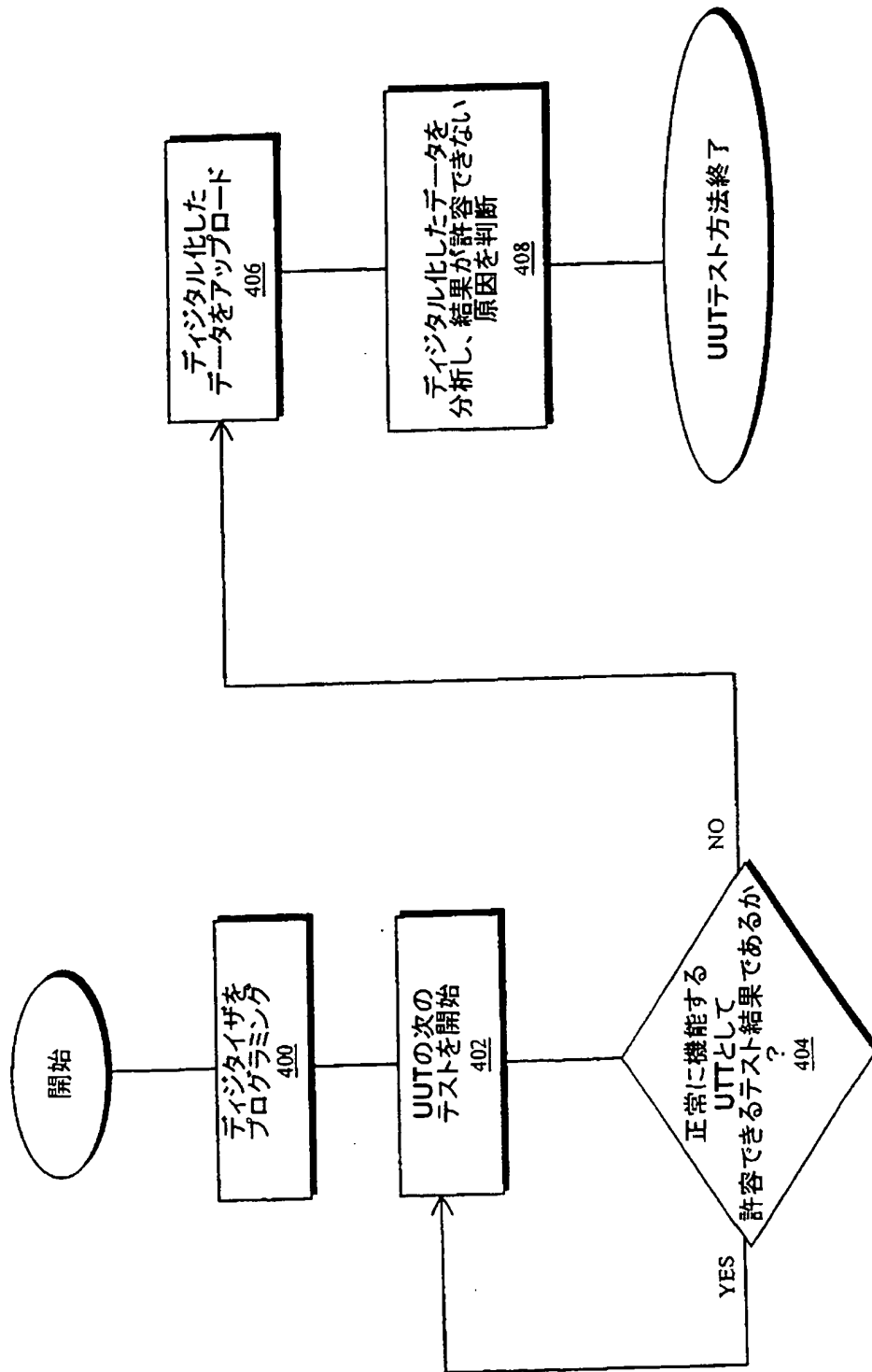
FIG. 2B



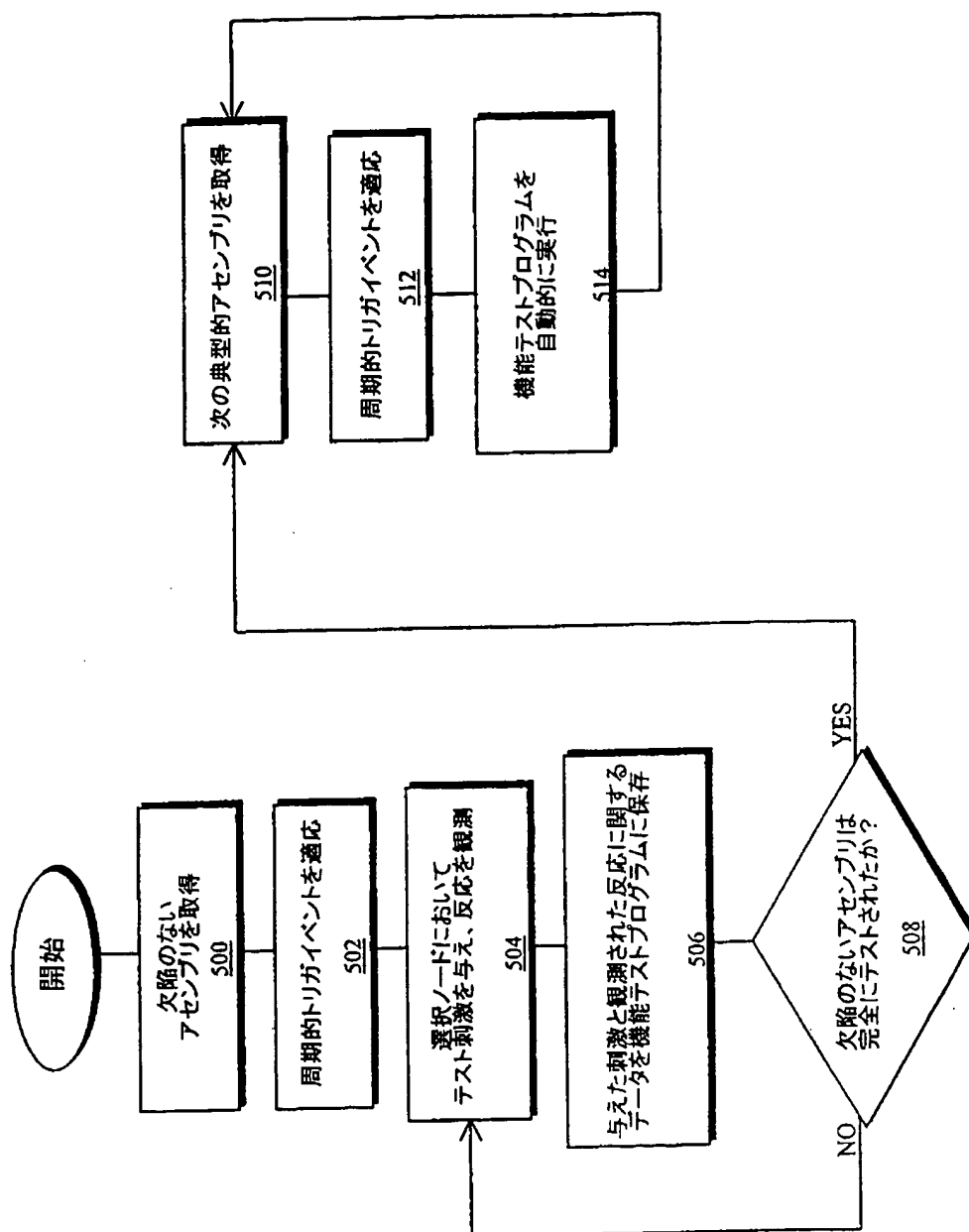
【図3】



【図4】



【図5】



【手続補正書】

【提出日】平成13年5月21日(2001. 5. 21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 テスト対象ユニット(UUT)(例えば、112、212)のテストノードに接続可能な計器(例えば、104、106および108)を含み、ホストコンピュータ(例えば、102)の制御の下で動作する上記UUTをテストする装置において、

上記装置は、複数のチャンネル(例えば、204、206および208)と、

上記複数のチャンネルの各々の上記トリガ回路および上記ホストコンピュータに結合され、上記複数のチャンネル間のテスト活動を調整する同期回路(例えば、270)と、を備え、

上記各チャンネルは、UUTの異なるテストノードに接続可能な入出力端子を有するとともに、

トリガ信号の発生時にUUTにおいて異なる信号特性を測定するように各々構成配置されている複数の測定回路(例えば、224、226、228)と、

上記複数の測定回路の各々に結合され、これらにトリガ信号を供給するトリガ回路(例えば、228)と、を含んでいることを特徴とする装置。

【請求項2】 上記複数のチャンネルの各々は、それぞれのチャンネルの上記入出力端子に結合される共通入力端子を有する入力バッファ(例えば、220)と、上記複数の測定回路の各々のそれぞれの入力端子に結合される出力端子と、をさらに備える、請求項1に記載の装置。

【請求項3】 上記同期回路および上記複数のチャンネルの各々に結合され、これらから得られる測定値を同期して格納する共有メモリ(例えば、248)をさらに備える、請求項2に記載の装置。

【請求項4】 上記同期回路および上記複数のチャンネルの各々に結合される共通クロック（例えば、244）をさらに備える、請求項3に記載の装置。

【請求項5】 各チャンネルは、

それぞれのチャンネルの上記トリガ回路に結合され、これからトリガ信号を受信する少なくとも1つの駆動回路と、

それぞれのチャンネルの上記入出力端子に結合される共通出力端子および上記少なくとも1つの駆動回路のそれぞれの出力端子に結合された入力端子を有する出力バッファ（例えば、218）と、
をさらに含む、請求項4に記載の装置。

【請求項6】 各チャンネルは、上記出力バッファの上記出力端子とそれぞれのチャンネルの上記入出力端子との間に結合され、それぞれのチャンネルの上記入出力端子から上記出力バッファを選択的に接続および切断するスイッチ（例えば、234）をさらに含む、請求項5に記載の装置。

【請求項7】 上記複数のチャンネルの各々の上記共通トリガ回路に結合されるトリガバス（例えば、216）をさらに備える、請求項5に記載の装置。

【請求項8】 各チャンネルは、上記共通クロックに結合され、上記入力バッファ（例えば、220）の上記出力端子と直列に結合され、上記入力バッファにおいて上記入力信号のデータを同期捕捉する同期回路（例えば、272）をさらに含む、請求項5に記載の装置。

【請求項9】 上記同期回路は、規則的な間隔で上記入力バッファにおいて上記入力信号を周期的に捕捉するように配列されている、請求項8に記載の装置。

【請求項10】 上記複数の測定回路はディジタイザ（例えば、326）を含む、請求項4に記載の装置。

【請求項11】 上記ディジタイザは、上記共通クロックと同期して継続的に信号をサンプリングし、得られた各サンプルに時間値を割当て、上記サンプルおよび上記時間値を上記共通メモリに格納する、請求項10に記載の装置。

【請求項12】 上記ディジタイザは上記複数の測定回路の内の他の回路の動作と同期して動作し、上記共通メモリは上記ホストコンピュータによってアクセス可能で、上記ディジタイザによって検出されたイベントを他の測定回路によっ

て識別されたイベントと比較する、請求項11に記載の装置。

【請求項13】 上記複数のチャンネルは同一のアーキテクチャを有する、請求項1に記載の装置。

【請求項14】 各チャンネルは、上記出力バッファの上記出力と直列に結合され、上記出力バッファからの電流を感知する抵抗をさらに含み、上記抵抗はまた高速信号用の直列終端としても動作する、請求項5に記載の装置。

【請求項15】 上記少なくとも1つの駆動回路は関数発生器(322)を含み、上記複数の測定回路はデジタルマルチメータ(324)、ディジタイザ(326)、タイマ/カウンタ(336)およびピーク検出器(338)を含む、請求項5に記載の装置。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

Int. l. Application No. PCT/US 99/23954	
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 601R31/28	
According to International Patent Classification (IPC) or to both national classification and IPC	
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 601R	
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched	
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)	
C. DOCUMENTS CONSIDERED TO BE RELEVANT	
Category *	Citation of document, with indication, where appropriate, of the relevant passages
X	EP 0 501 963 B (ITT) 19 October 1994 (1994-10-19) claim 1
X	EP 0 468 553 A (PHILIPS) 29 January 1992 (1992-01-29) claim 1
A	EP 0 710 910 A (MOTOROLA) 9 May 1996 (1996-05-08) figure 2
	Relevant to claim No.
	1-15
	1-15
	1-15
<input type="checkbox"/> Further documents are listed in the continuation of box C.	
<input checked="" type="checkbox"/> Patent family members are listed in annex.	
* Special categories of cited documents :	
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document relating to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family
Date of the actual completion of the international search 31 January 2000	Date of mailing of the international search report 07/02/2000
Name and mailing address of the ISA European Patent Office, P.O. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tlx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Hoornaert, W

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 99/23954

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 501963 B	09-09-1992	DE 3938520 A	29-05-1991
		CA 2063601 A	21-05-1991
		DE 59007526 D	24-11-1994
		WO 9107665 A	30-05-1991
		EP 0501963 A	09-09-1992
		JP 5501605 T	25-03-1993
		US 5237325 A	17-08-1993
EP 468553 A	29-01-1992	JP 4233005 A	21-08-1992
EP 710910 A	08-05-1996	JP 8241185 A	17-09-1996
		US 5861882 A	19-01-1999

フロントページの続き

- (72)発明者 デイヴィス, リチャード・ピー
アメリカ合衆国マサチューセッツ州01915,
ベヴァリー, レノックス・ストリート 6
- (72)発明者 アレナ, ジョン・ジェイ
アメリカ合衆国マサチューセッツ州01867,
リーディング, フランシス・ドライブ 26
- (72)発明者 ロペス, テレサ・ピー
アメリカ合衆国マサチューセッツ州02144,
サマーヴィル, ウィロウ・アベニュー 25
- (72)発明者 リンド, デイヴィッド・ジェイ
アメリカ合衆国マサチューセッツ州01845,
ノース・アンドヴァー, ウインター・スト
リート 575

F ターム(参考) 2G036 AA28 BA46 CA01
2G132 AA11 AA12 ABO1 ADO1 AD10
AE14 AE16 AE18 AE23 AE24
AL07